



Universidad Católica "Nuestra Señora de Asunción"
Sede Regional Asunción
Facultad de Ciencias y Tecnología

Departamento de Ingeniería Electrónica e Informática
Carrera de Ingeniería Electrónica

SISTEMAS DIGITALES 1

CÓDIGO:	CYT808
CARRERA:	Ing. Electrónica
SEMESTRE:	6°
CORRELATIVAS:	Teoría de Circuitos 1
CARGA HORARIA SEMANAL:	6 horas

DESCRIPCIÓN DEL CURSO:

Diseño de sistemas digitales combinacionales y secuenciales de aplicación específica utilizando componentes de baja escala de integración.

ALCANCE PRETENDIDO:

Capacidad de interpretar esquemas electrónicos digitales y de construir, analizar y diseñar sistemas electrónicos digitales.

SÍNTESIS DEL PROGRAMA:

Algebra de Boole. Diagramas de Karnaugh. Familias Lógicas. Circuitos combinatorios. Circuitos secuenciales síncronos y asíncronos.

PROGRAMA ANALÍTICO

1 -Sistemas numéricos y álgebra de Boole (8T+8P)

- 1.1- Las operaciones aritméticas en el sistema binario adición, sustracción, multiplicación
- 1.2- Algebra de Boole
 - a) producto lógico AND y suma lógica OR
 - b) negación o complementación NOT
 - c) puertas lógicas AND. NAND. ÑOR. OR y XOR
- 1.3- Teoremas fundamentales del álgebra de Boole Teoremas de De Morgan. Grupos de puertas universales
- 1.4- Formas canónicas
 - a) forma canónica de la suma y del producto
 - b) mintérminos y maxitérminos
- 1.5- Simplificaciones de las funciones lógicas
 - a) método del diagrama de Karnaugh. Condiciones de indiferencia método de Quine-Mc Cluskey.

2 -Introducción: electricidad y electrónica básica (2T+2P)

- 2.1- LeydeOhm
- 2.2- El transistor como llave

3 -Familias lógicas (3T).

- 3.1- Características de las familias

- a) tensiones de alimentación, (consumo)
- b) corrientes de entrada y salida
- c) tensiones de entrada y salida
- d) curvas de transferencia
- 3.2- Características especiales
 - a) Open Colector, Three State. Smith's trigger

4 -Circuitos combinatorios y numéricos (7T+2P)

- 4.1- Introducción
- 4.2- Un método de proyecto (diagramas de Karnaugh)
- 4.3- Decodificadores
- 4.4- Codificadores
- 4.5- Multiplexor (selector)
 - a) Aplicaciones del multiplexor
- 4.6- Demultiplexor
- 4.7- Circuitos numéricos
 - a) Sumador
 - b) Substractor
 - c) Unidad lógica-aritmética (ALU)

5 - Multivibrador I.C.

(6T+4P)

- 5.1- Multivibrador astable
- 5.2- Multivibrador monoestable
- 5.3- Disparador de Schmitt (Schmitt's trigger)
- 5.4- Multivibrador biestable o flip-flop
- 5.5- Lógica temporizada (Clocked logic). Frente de clock. Impulsos de clock positivos y negativos Ingresos síncronos o asíncronos flip-flop temporizado de frente positivo y negativo.
 - a) Flip-flop SR
 - b) Flip-flop JK
 - c) Flip-flop D (Latch)
- 5.6- Flip-flop master-slave
 - a) Flip-flop JK master-slave. Ecuación característica.
- 5.7- Tablas de verdad y de excitación

6 - Circuitos secuenciales sincrónicos (10T+8P)

- 6.1- Introducción.
- 6.2- Dispositivos de memoria
 - a) Flip-flop tipo Set/Reset (R/FF)
 - b) Flip-flop tipo JK
 - c) Flip-flop tipo D
- 6.3- Registros
 - a) Registros de desplazamiento bi-direccionales
- 6.4- Contadores
 - a) Contadores en anillo
 - b) Contadores en anillo Invertido
 - c) Contadores asíncronos
- 6.5- Diseño de contadores sincrónicos
- 6.6- Procedimiento de diseño de circuitos secuenciales sincrónicos
 - a) Tablas y diagramas de estado
 - b) Diseño usando FF tipo JK
 - c) Diseño usando FF tipo D
 - d) Diseño usando ROM
- 6.7- Reducción de estados
 - a) Método tabular para la reducción de estados
 - b) Cuadro de Implicantes
 - c) Tabla de estados Incompletamente especificados
- 6.8- Optimización en la asignación de estados
 - a) Método de las particiones.

7- Circuitos secuenciales asíncrónicos

- 7.1- Introducción
- 7.2- Análisis de un circuito
 - a) Mapa de excitación

- b) Tabla de flujo
 - c) La salida
 - d) El diagrama de estados
 - e) Tabla de flujo primitiva
 - f) Diagrama de mezcla
 - g) Asignación de estados
- 7.3- Diseño de sistemas de una sola variable
- a) Diagrama temporal
 - b) Tabla de flujo primitiva
 - c) Diagrama de estados
 - d) Estados equivalentes
 - e) Mezcla de estados
 - f) Asignación de estados
 - g) La salida
 - h) Implementación usando FF
 - i) Diagrama del circuito
 - j) Mapa alternativo para FF SR
- 7.4- Riesgos
- a) Riesgo estático y dinámico
 - b) Riesgo esencial
- 7.5- Sistemas de muchas variables de estado
- a) Implementación con puertas lógicas
 - b) Implementación con FF

BIBLIOGRAFIA:

1. Texto: Análisis y Diseño de Circuitos Lógicos Digitales, Víctor P. Nelson, H. Troy Nagle, Bill D. Carroll, J. David Irwin.

RESPONSABLES Y FECHA DE LA REDACCIÓN:

Ing. Gerónimo Bellasai, Julio 2000